

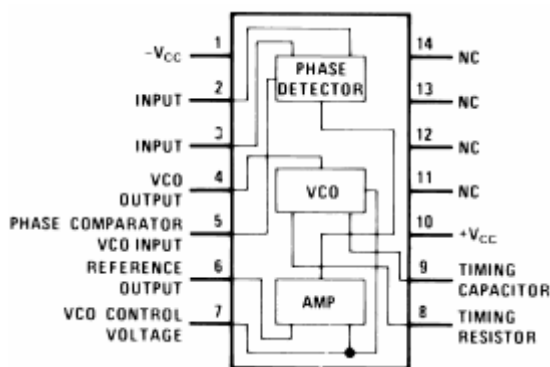
## Práctica 5. Demodulador FSK mediante PLL

### 5.1. Objetivos

Estudiar el funcionamiento de un PLL y su aplicación para la demodulación de una señal modulada FSK.

### 5.2. El PLL LM565

El LM565 es un circuito de fase cerrada (PLL) de propósito general que dispone de un oscilador controlado por tensión (VCO) altamente lineal y un detector de fase doblemente balanceado con buena supresión de portadora. Las aplicaciones en las cuales puede utilizarse este dispositivo son varias: sincronización de datos, demodulación de FM o FSK, demodulación coherente, sintetizador de frecuencia, multiplicador de frecuencia, etc.



Tanto la frecuencia de oscilación libre del VCO como el ancho de banda del filtro pueden ser seleccionados mediante el uso de resistores y

capacitores externos. A continuación se detallan las características más importantes de este dispositivo.

#### Detector de Fase

Impedancia de entrada	5 kΩ
Resistencia de salida	3,6 kΩ
Sensibilidad $K_D$	0.68 V/rad

#### Oscilador controlado por tensión

Frecuencia máxima de operación	500 kHz
Sensibilidad $K_O$	4,1 $f_0$ rad/sec · V ( $f_0$ , frec. VCO)

#### Bucle cerrado

Ganancia del lazo $K_O K_D$	2,8 $f_0$ Hz (Alimentación ± 6V)
-----------------------------	----------------------------------

La frecuencia de oscilación libre del VCO viene dada aproximadamente por:

$$f_0 \cong \frac{0,3}{R_0 C_0} \quad (1)$$

donde  $R_0$  y  $C_0$  son los valores de la resistencia y condensador externos conectados a las patillas 8 y 9 del circuito integrado. De esta forma, la ganancia del lazo viene dada por:

$$K_0 K_D = \frac{33,6 f_0}{V_C} \quad (2)$$

siendo  $V_C$  la tensión de alimentación total. El rango de frecuencias en el que el bucle puede mantenerse cerrado (rango de retención) es

$$\Delta f_H = \pm \frac{K_0 K_D}{2\pi} \cong \pm \frac{8f_0}{V_C} \quad (3)$$

### 5.3. Realización práctica

#### 5.3.1. Modulador FSK

En la figura 1 se muestra el circuito práctico que permite generar la señal modulada FSK mediante el uso de un temporizador NE555. El funcionamiento de dicho circuito es el siguiente:

- a) Cuando la señal moduladora digital está en el nivel lógico alto la carga del condensador se produce a través de las resistencias de 4,7 k $\Omega$  y 22 k $\Omega$  estando en paralelo y la resistencia de 10 k $\Omega$ . En cuanto a la descarga del condensador, ésta se produce únicamente a través de la resistencia de 10 k $\Omega$ . De esta forma los tiempos a nivel lógico alto y bajo a la salida del temporizador son:

$$\begin{aligned} W_1 &= 0,693(R_1 \parallel R_3)R_2 C \\ W_2 &= 0,693R_2 C \end{aligned} \quad (4)$$

$$R_1 = 4,7 \text{ k}\Omega, R_2 = 10 \text{ k}\Omega, R_3 = 22 \text{ k}\Omega, C = 47 \text{ nF}$$

- b) Cuando la señal moduladora está en el nivel lógico bajo, la carga del condensador se produce a través de las resistencias de 4,7 k $\Omega$  y 10 k $\Omega$ , pero parte de dicha corriente se va a tierra a través de la resistencia de 22 k $\Omega$ . Esto complica un poco el análisis del circuito, pero es claro ver que la carga será más lenta, por lo que el tiempo en el que la salida del temporizador está a nivel alto será mayor que antes.

$$W_1 = -\tau \ln \frac{1 - \frac{2}{3}B}{1 - \frac{1}{3}B} \quad (5)$$

$$A = R_1 + R_2 + \frac{R_1 R_2}{R_3}, B = 1 + \frac{R_1}{R_3}, \tau = AC / B$$

En cuanto a la descarga, ésta se produce al igual que antes únicamente por la resistencia de 10 k $\Omega$ , por lo que el tiempo a nivel bajo será igual que en el caso anterior.

De esta forma, con este sencillo circuito podemos generar una señal modulada FSK (con portadora digital) cuyas frecuencias están en torno a 1 kHz y 1,2 kHz para el nivel bajo y el nivel alto, respectivamente.

1. Realizar dicho montaje y aplicar una señal moduladora digital con +6V para el nivel lógico "1" y 0V para el nivel lógico "0", y frecuencia en torno a 20 Hz.

2. Observar la señal de salida del modulador y medir las frecuencias de salida para ambos niveles lógicos. Comparar los resultados obtenidos con los valores teóricos predichos por las ecuaciones (4) y (5).

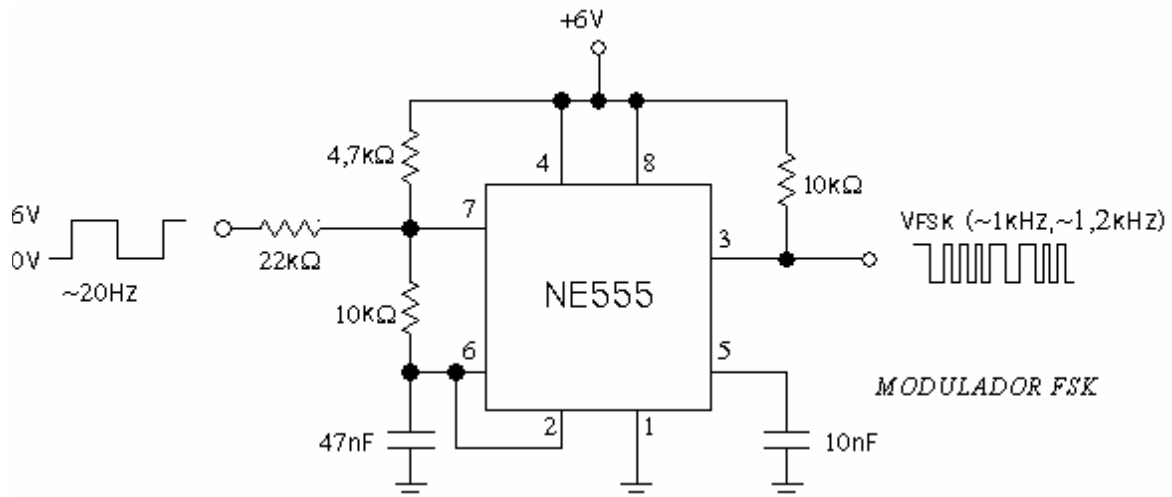


Figura 1. Modulador FSK

### 5.3.2. Demodulador FSK mediante PLL

En la figura 2 se muestra el esquema del demodulador FSK que hace uso de un PLL para realizar la recuperación de la moduladora.

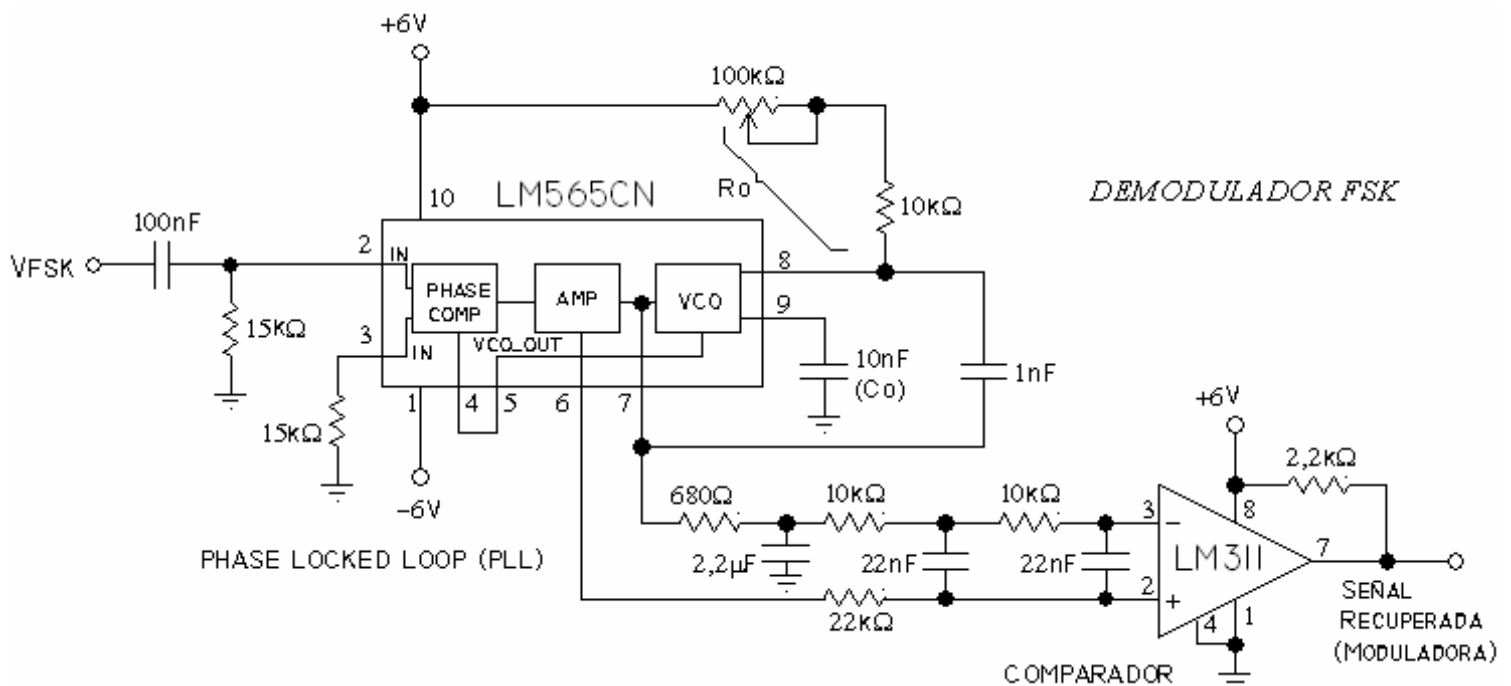


Figura 2. Demodulador FSK

1. Realizar el montaje de la figura 2 y desconectar las patillas 4 y 5 (unidas con un cortocircuito) del PLL. Observar la frecuencia natural a la que

- oscila el VCO en la patilla 4. Modificar el valor del potenciómetro perteneciente al conjunto  $R_0$  hasta que dicha frecuencia esté en torno a 1 kHz o ligeramente superior.
2. Conectar nuevamente las patillas 4 y 5. Observar la salida del comparador de fase (tras pasar por el amplificador) en las patillas 6 y 7. Comparar cada una de estas señales con la señal demodulada en la patilla de salida del comparador (patilla 7 del LM311).
  3. Comparar las señales de salida del VCO con la señal FSK de entrada del PLL. Finalmente comparar la señal moduladora recuperada (a la salida del comparador) con la señal moduladora original del generador de señales.

#### 5.4. Simulación mediante la herramienta Simulink

Previamente al desarrollo de la práctica es conveniente realizar un estudio para saber qué nos vamos a encontrar, haciendo uso de la herramienta Simulink del paquete de simulación MatLab.

En primer lugar, implementar el PLL mostrado en la figura 3. A la entrada le conectaremos un generador de señales (señal senoidal) cuya frecuencia debe ser igual a  $f_c = 1$  kHz. El filtro pasabajo será de orden 2, y su frecuencia de corte  $f_{corte} = f_c/2$ . La frecuencia natural de oscilación del VCO será también  $f_c$ , su sensibilidad  $(2f_c/10)$  Hz/V. Añadir un desfase inicial entre el VCO y la señal del generador de 1 rad. Ejecutar una simulación de  $20/f_c$  s y comprobar que el VCO engancha con la señal de entrada con un desfase de  $90^\circ$  entre ambas.

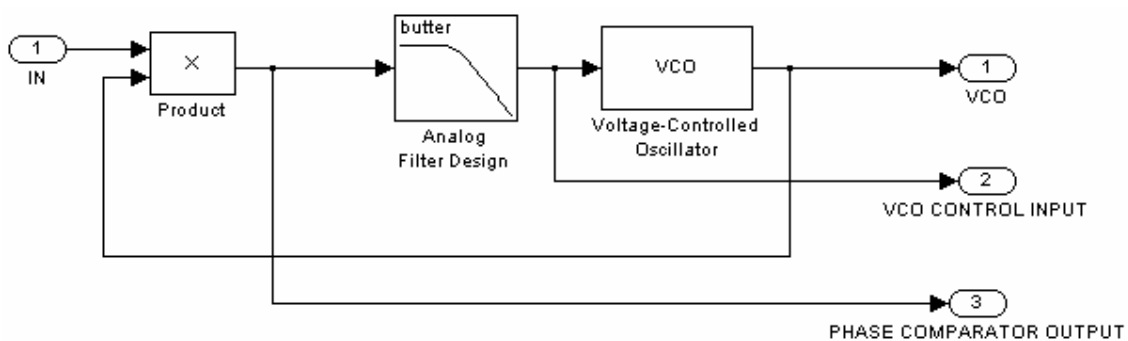


Figura 3. Diseño del PLL

A continuación comprobaremos que el PLL permite recuperar una señal modulada FSK. Para ello, diseñar el modulador FSK y el posterior demodulador con PLL mostrado en la figura 4. Ahora, la señal suministrada por el generador será una onda cuadrada de  $f_c/100$  Hz (moduladora), y las portadoras tendrán como valores de frecuencia  $f_1 = 0,9f_c$  y  $f_2 = 1,1f_c$ . El interruptor actúa como modulador FSK ya que la conmutación está controlada por la señal moduladora digital. El detector de signo a la salida del PLL actúa

como comparador siendo su entrada la señal de control del VCO, la cual coincide con una versión filtrada de la moduladora. El tiempo de simulación debe ser ahora de al menos  $200/f_c$  para ver algunos ciclos de la moduladora. Comprobar que con este diseño se produce la demodulación de la señal FSK.

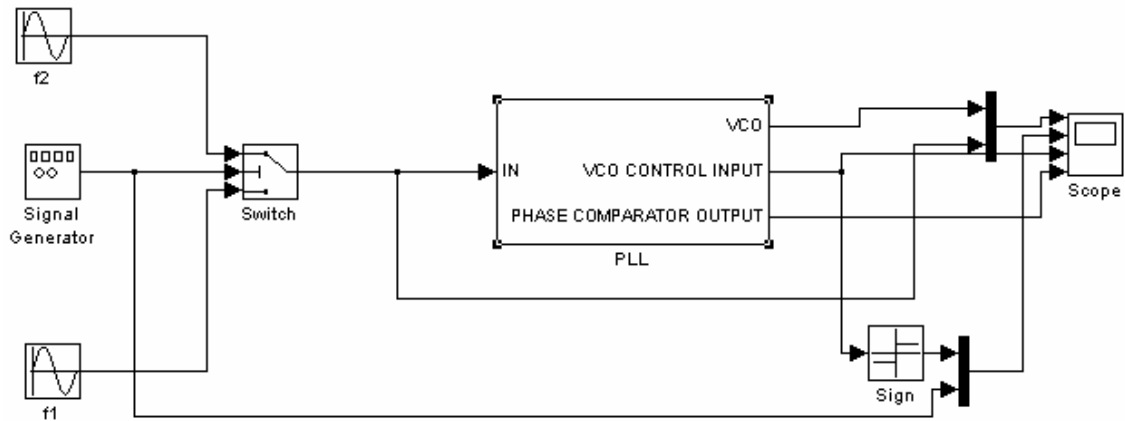


Figura 4. Diseño de un modulador y demodulador FSK